

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244594

(43) Date of publication of application : 19.09.1997

(51)Int.Cl. G09G 3/36  
G02F 1/133

(21) Application number : 08-057887 (71) Applicant : CASIO COMPUT CO LTD

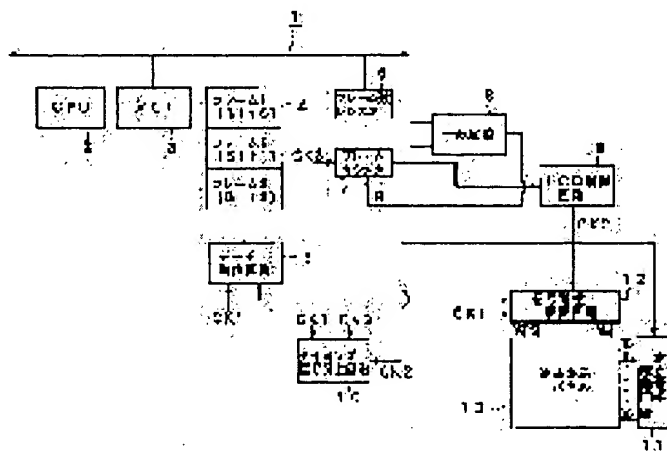
(22)Date of filing : 14.03.1996 (72)Inventor : MINAMI TAKESHI

## (54) LIQUID CRYSTAL DISPLAY DRIVING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display driving circuit in which storage capacity of a storage device can be reduced and the number of times of access of data to a storage device of a CPU can be decreased in gradation display.

SOLUTION: In this circuit 1, when display data of, for example, 3 bits (8 gradations) is supplied from a signal source, a CPU 2 stores his display data of 3 bits in a memory 3, successively, data of lower-order bits, intermediate-order bits, and upper-order bits of this display data of 3 bits is respectively stored in a first frame memory, a second frame memory, and a third frame memory of, a frame memory 4. And in a liquid crystal display panel 13, a second frame in which intermediate-order bits of display data are displayed is displayed with length of two times of a first frame in which lower-order bits are displayed, while a third frame in which upper-order bits of display data is displayed with length of four times of a first frame.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-244594

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5

審査請求 未請求 請求項の数 3 OL (全 7 頁)

(21)出願番号 特願平8-57887

(22)出願日 平成8年(1996)3月14日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 發明者 南 剛

東京都羽村市栄町3丁目2番1号 カシオ  
計算機株式会社羽村技術センター内

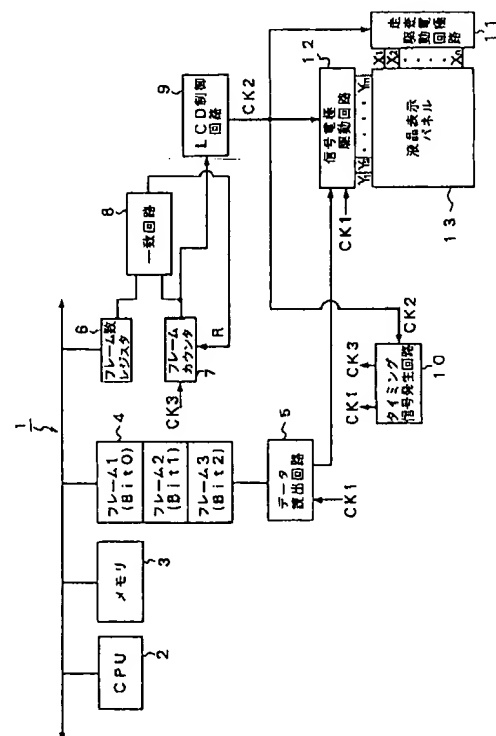
(74)代理人 弁理士 荒船 博司 (外1名)

(54) 【発明の名称】 液晶表示駆動回路

(57) 【要約】

【課題】 階調表示を行う液晶表示駆動回路において、記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減の可能な液晶表示駆動回路を提供することをその目的とする。

【解決手段】 液晶表示駆動回路において、図示しない信号源から例えば3ビット（8階調）の表示データが供給されると、CPU 2は、この3ビットの表示データをメモリ 3に記憶し、次いで、この3ビットの表示データの下位ビット、中位ビット、及び上位ビットのデータをフレームメモリ 4の第1フレームメモリ、第2フレームメモリ、及び第3フレームメモリに夫々記憶する。そして、液晶表示パネル 1 3には、表示データの中位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さで表示される一方、前記表示データの上位ビットが表示される第3フレームは、第1フレームの4倍の長さで表示される。



## 【特許請求の範囲】

【請求項1】表示データとして1画素の階調データを $n$ ビットの2進数で記憶するメモリと、

前記 $n$ ビットの表示データを各ビット毎に、画素に対応させて夫々記憶する $n$ 個のフレームメモリと、

前記表示データの最下位ビットに対応するフレームの表示タイミングに対して、前記表示データの第 $m$ ビットが表示されるフレームについては、2の $(m-1)$ 乗の長さの表示タイミングを与える制御手段と、  
を備えたことを特徴とする液晶表示駆動回路。

【請求項2】前記メモリには、3ビット(8階調)の表示データが記憶され、

前記メモリに記憶された3ビットの表示データの下位ビット、中位ビット、及び上位ビットは、夫々第1フレームメモリ、第2フレームメモリ、及び第3フレームメモリに記憶され、

前記制御手段は、前記表示データの中位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さで表示する一方、前記表示データの上位ビットが表示される第3フレームは、第1フレームの4倍の長さで表示することを特徴とする請求項1記載の液晶表示駆動回路。

【請求項3】前記メモリには、2ビット(4階調)の表示データが記憶され、

前記メモリに記憶された2ビットの表示データの下位ビット及び上位ビットは、夫々第1フレームメモリ及び第2フレームメモリに記憶され、

前記制御手段は、前記表示データの上位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さで表示することを特徴とする請求項1記載の液晶表示駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示駆動回路に関し、特に階調表示を行う液晶表示駆動回路に関する。

## 【0002】

【従来の技術】近時、液晶表示装置は、液晶の普及に伴って、白と黒の2値表示だけでなく、「白」と「黒」の中間状態を表示する多階調表示を行うことによって、表現実感を向上させている。

【0003】この中間状態を幾つかのレベルに区切るかを階調数といい、この階調数が多くなればなるほど多種の画像を表現することが可能となる。

【0004】このような高階調表示としては、従来、例えば、STN(Super Twisted Nematic)型の液晶セルを使用した場合、複数のフレームを1周期として1つの表示データを表示する際に、液晶を点灯させる回数を変えることにより階調表現するフレーム間引き法FRC(Frame Rate Control)が用いられている。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来のフレーム間引き法を採用した液晶表示駆動回路にあっては、表示データが高階調になるのに伴って、必要となるフレームメモリが多くなり、記憶装置に要するコストが高くなるという問題があった。

【0006】また、表示データが高階調になるのに伴って、CPUが表示データを記憶装置に書き込み及び読み取るアクセス回数が多くなるという問題があった。

【0007】本発明は、上記問題に鑑みてなされたものであって、高階調表示を行う場合に、記憶装置の記憶容量の低減、及びCPUの記憶装置へのデータのアクセス回数の削減の可能な液晶表示駆動回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】請求項1記載の液晶表示駆動回路は、表示データとして1画素の階調データを $n$ ビットの2進数で記憶するメモリと、前記 $n$ ビットの表示データを各ビット毎に、画素に対応させて夫々記憶する $n$ 個のフレームメモリと、前記表示データの最下位ビットに対応するフレームの表示タイミングに対して、前記表示データの第 $m$ ビットが表示されるフレームについては、2の $(m-1)$ 乗の長さの表示タイミングを与える制御手段と、を備えたことを特徴とする。

【0009】即ち、請求項1記載の液晶表示装置によれば、まず、メモリに、表示データとして1画素の階調データを $n$ ビットの2進数で記憶し、次いで、 $n$ 個のフレームメモリには、メモリに記憶された $n$ ビットの表示データを各ビット毎に、画素に対応させて夫々記憶し、制御手段は、表示データの最下位ビットに対応するフレームの表示タイミングに対して、前記表示データの第 $m$ ビットが表示されるフレームについては、2の $(m-1)$ 乗の長さの表示タイミングを与える。

【0010】従って、液晶表示駆動回路の記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減が可能となる。

【0011】また、この場合、請求項2記載の液晶表示駆動回路の如く、前記メモリには、3ビット(8階調)の表示データが記憶され、前記メモリに記憶された3ビットの表示データの下位ビット、中位ビット、及び上位ビットは、夫々第1フレームメモリ、第2フレームメモリ、及び第3フレームメモリに記憶され、前記制御手段は、前記表示データの中位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さ表示する一方、前記表示データの上位ビットが表示される第3フレームは、第1フレームの4倍の長さで表示することが有効である。

【0012】即ち、請求項2記載の液晶表示駆動回路によれば、メモリに、3ビット(8階調)の表示データを記憶し、第1フレームメモリ、第2フレームメモリ、及

び第3フレームメモリに夫々、メモリに記憶された3ビットの表示データの低位ビット、中位ビット、及び上位ビットのデータを記憶し、制御手段は、表示データの中位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さで表示する一方、前記表示データの上位ビットが表示される第3フレームは、第1フレームの4倍の長さで表示する。

【0013】従って、8階調を3ビットデータで表示する場合に、液晶表示駆動回路の記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減が可能となる。

【0014】また、この場合、請求項3記載の液晶表示駆動回路の如く、前記メモリには、2ビット（4階調）の表示データが記憶され、前記メモリに記憶された2ビットの表示データの低位ビット及び上位ビットは、夫々第1フレームメモリ及び第2フレームメモリに記憶され、前記制御手段は、前記表示データの上位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さで表示することが有効である。

【0015】即ち、請求項3記載の液晶表示駆動回路によれば、メモリに、2ビット（4階調）の表示データを記憶し、第1フレームメモリ及び第2フレームメモリに夫々、2ビットの表示データの低位ビット及び上位ビットを記憶し、制御手段は、表示データの上位ビットが表示される第2フレームは、下位ビットが表示される第1フレームの2倍の長さで表示する。

【0016】従って、4階調を2ビットデータで表示する場合に、液晶表示駆動回路の記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減が可能となる。

【0017】

【発明の実施の形態】先ず本発明の考え方を図2～図5を用いて示す。従来、フレーム間引き法で階調表示させるためには、表示画面に対応した複数のフレームを用意して、各画素の表示については「1」を選択画素の点灯、「0」は非点灯と考えて、各フレームの各画素に対応して記憶される「1」の数により液晶に与える実効電圧を変化させて階調表示させるのである。

【0018】例えば、4階調のデータを表示するためには、各画素について、第2図のように3つのフレームに各階調に応じた1ビットのデータを記憶させることになる。また、8階調の場合は、図4のように7つのフレームに1ビットのデータを記憶させるのである。

【0019】ここで、図2、図4に示すように、各フレームに対する「1」、「0」データの割り付けを定義すると、フレームによって全く同じデータをもつものが出てくる。つまり、図2においては、第2フレームと第3フレームとが同じであり、図4においては、第2、第4の2つのフレームが同じで、さらに、第3、第5、第6及び第7の4つのフレームが同じデータとなる。

【0020】従って、同じデータは共有化することとすれば、4階調の場合は図3に示すように、第1及び第2フレームのデータがあれば足りるし、8階調の場合は図5に示すように第1、第2、及び第3のフレームのデータがあれば足りることになる。

【0021】一方、表示データは4階調であれば階調度0～3が2ビットの2進数で表され、8階調ならば、階調度0～7が3ビットの2進数で表される。この2進数とフレームデータの関係は図2、図4に示される通りであり両者が一致することが判る。

【0022】本発明はこの点に着目し、表示データ（階調画素データ）をそのままフレームメモリに展開し、フレームメモリの表示時間長を制御することで、フレーム間引き法で得られるような液晶駆動実効電圧値を作りだし階調表示をさせようとするものである。

【0023】以下、本発明の好適な実施の形態を図面を参照しつつ説明する。

【0024】図1は、本発明の実施の形態の液晶表示駆動回路1の構成を示すブロック図である。特に、本実施の形態では、4階調（2ビット）の表示データを2フレームを1サイクルとして表示する例、及び、8階調（3ビット）の表示データを3フレームを1サイクルとして表示する例を示す。図6は、4階調（2ビット）の表示データを表示する場合のタイミング図である。図7は、8階調（3ビット）の表示データを表示する場合の各部の信号のタイミング図である。

【0025】図1において、液晶表示駆動回路1は、CPU2、メモリ3、フレームメモリ4、データ読出回路5、フレーム数レジスタ6、フレームカウンタ7、一致回路8、LCD制御回路9、タイミング信号発生回路10、走査電極駆動回路11、信号電極駆動回路12、及び液晶表示パネル13から構成されている。

【0026】液晶表示パネル13は、ここでは、単純マトリックス型の液晶表示パネルが使用されており、複数の走査電極（コモン電極）X1～Xnと複数の信号電極（セグメント電極）Y1～YmとがSTN（Super Twisted Nematic）液晶層を挟んで対向配置されて、マトリックス状に配置されている。そして、後述する走査電極駆動回路11及び信号電極駆動回路12から供給される走査信号及び表示信号により、順次走査電極X1～Xn及び信号電極Y1～Ymが選択駆動されて、表示データに応じた階調表示がなされる。ここで、表示データが4階調（2ビット）の場合は、2フレームを1サイクルとして表示データに応じた階調表示がなされ、一方、表示データが8階調（3ビット）の場合は、3フレームを1サイクルとして表示データに応じた階調表示がなされる。

【0027】走査電極駆動回路11は、後述するLCD制御回路9から供給される例えば図7（B）の如き走査タイミング信号CK2に基づいて、走査信号を、順次走

走査電極X1～Xnに出力することにより、走査電極X1～Xnを順次選択駆動する。

【0028】信号電極駆動回路12は、LCD制御回路9から供給される例えば図7(B)の如き走査タイミング信号CK2及びタイミング信号生成回路10から供給される例えば図7(A)の如きクロック信号CK1に基づいて、データ読出回路5から供給される2値データに応じた表示信号を信号電極Y1～Ymに供給する。

【0029】タイミング発生回路10は、LCD制御回路9から供給される図7(B)の如き走査タイミング信号CK2に基づいて、図7(A)の如きクロック信号CK1(1ライン信号電極分のm個の読込クロック)を生成して、読出回路5及び信号電極駆動回路12に供給する。また、タイミング発生回路10は、LCD制御回路9から供給される図7(B)の如き走査タイミング信号CK2に基づいて、図7(C)の如きフレームタイミング信号CK3(走査タイミング信号CK2を走査電極数n個カウントしたら出力される信号)を生成してフレームカウンタ7に供給する。

【0030】CPU2は、図示しない信号源から供給される表示データをメモリ3に記憶し、液晶表示パネル7に表示する場合は、このメモリ3に記憶された表示データを、フレームメモリ4の複数のフレームメモリに2値データ(1ビット)単位で記憶させる。

【0031】例えば、4階調(2ビット)の表示データの場合は、メモリ3に記憶された2bitの2進数で表された表示データを、フレームメモリ4の2つのフレームメモリ(フレーム1、フレーム2)に2値データ(1ビット)単位で記憶させる。また、8階調(3ビット)の表示データの場合は、この3ビットのデータをフレームメモリ4の3つのフレームメモリ(フレーム1、フレーム2、フレーム3)に2値データ(1ビット)単位で記憶させる。

【0032】データ読出回路5は、タイミング信号発生回路10から供給される図7(A)の如きクロック信号CK1等に応じて、フレームメモリ4の対応するフレームメモリから2値データを読み出して、信号電極駆動回路12に供給する。

【0033】フレーム数レジスタ6は、表示データが記憶されるフレームメモリ4のフレーム数のデータが記憶されるレジスタであり、4階調の表示データを液晶パネル13に表示する際には、フレーム数データとして「2」が記憶され、8階調の表示データを液晶パネル13に表示する際には、フレーム数データとして「3」が記憶される。

【0034】フレームカウンタ7は、タイミング信号発生回路10から供給される図7(C)の如きフレーム信号CK3をカウントして得られるカウント値を一致回路8及びLCD制御回路9に供給する。そして、フレームカウンタ7のカウント値は、一致回路8から供給される

リセット信号Rによりリセットされる。

【0035】一致回路8は、フレームカウンタ7から供給されるカウント値と、フレーム数レジスタ6に記憶されたフレーム数データとが一致した場合に、リセット信号Rをフレームカウンタ7に供給して、フレームカウンタ7のカウント値をリセットして「0」に設定する。

【0036】LCD制御回路9は、フレームカウンタ7から供給されるフレームカウンタ値に応じて、データ出力の周期を変更する。この場合、フレームカウンタ値が「0」のときは、フレーム1を表示するためにT1の周期で走査タイミング信号CK2を出力し、フレームカウンタ値が「1」の時は、フレーム2を表示するためにT1の2倍の周期で走査タイミング信号CK2を出力し、フレームカウンタ値が「2」のときはフレーム3を表示するためにT1の4倍の周期T3で走査タイミング信号CK2を出力するように構成する。また、LCD制御回路9は、フレームカウンタ7から供給されるカウント値に基づいて、各フレームに応じて図7(B)の如き、走査タイミング信号CK2を生成して、タイミング信号発生回路10、走査電極駆動回路11、及び信号電極駆動回路12に供給する。

【0037】次に、8階調(3ビット)の表示データを液晶表示パネル13に表示する動作を図7のタイミングチャートを参照して説明する。

【0038】メモリ3に記憶された8階調の2進数3ビットの表示データは、図5に示される関係でフレームメモリ4に展開されて記憶されている。そしてフレーム1のデータを表示する時間をT1とすると、フレーム2はT1の2倍の長さの時間T2で表示され、フレーム3はT1の4倍の長さの時間T3で表示される。これによりフレーム間引き法で表示したと同様の液晶駆動実効電圧を得るものである。

【0039】すなわち、図7の(あ)の状態(フレーム3のn-2行目を表示中)でLCD制御回路9から走査タイミング信号CK2が出力されると、これを受けたタイミング信号発生回路10はクロック信号CK1を信号電極数分m個発生し、フレーム3の第n行目のデータが信号電極駆動回路12に取り込まれる。

【0040】信号電極駆動回路12は同時に先に取込んでいたn-1行目のデータに基づき信号電極を駆動する。この際、データ読出し回路5は、フレーム3の読出しが終了したのでフレーム1の指定に切換わる。

【0041】次に、LCD制御回路9が所定時間を計測して(い)のタイミングで次の走査タイミング信号CK2を発生すると、データ読出し回路5はフレーム1の第1行目のデータを読み出し、信号電極駆動回路12に与える。信号電極駆動回路12はこの時、先に取込んだフレーム3の最終行のデータを表示駆動している。

【0042】尚、この状態ではフレームカウンタ7は「2」を計数しており、LCD制御回路9はT3の周期

でCK2を出力しており、液晶表示パネル14はフレーム3の最終行はこの時間長で走査されている。

【0043】タイミング信号発生回路10は、走査タイミング信号CK2をn個カウントすると(う)のタイミングでフレームタイミング信号CK3を出力する。これによりフレームカウンタ7は「3」となるが、この値は一致回路8でフレーム数レジスタ6の内容と一致すると判断され、その結果リセットにより「0」となる。よってLCD制御回路9は(え)のタイミングで走査タイミング信号CK2を発生した後は、周期をT3からT1に切換え、フレーム1の表示に対応する。

【0044】従って、(え)以降はフレーム1の表示がT1の周期で走査駆動され、フレーム1の表示が終了するとフレーム2が同様にT2の周期で走査駆動され、さらに、その後はフレーム3がT3の周期で表示駆動されるので、上記したような各画素に対する実効電圧が得られ8階調表示が為される。

【0045】また、4階調表示の場合には、フレーム数レジスタ6に「2」が書込まれ、表示データはフレーム1、2に書込まれるが、表示動作は上記したものと同様であり、フレーム1はT1の周期でもって、フレーム2はT2の周期でもって駆動されることになる(図6参照)。

【0046】以上説明したように、本実施の形態では、8階調(3ビットデータ)の表示データを表示する場合に、3ビットの表示データを先ずメモリ3に記憶し、次いで、メモリ3に記憶された3ビット表示データの低位ビット、中位ビット、及び上位ビットの各データを、夫々フレームメモリ4の第1フレーム、第2フレーム、及び第3フレームに記憶し、そして、第2フレームを第1フレームの2倍、第3フレームを第1フレームの4倍の表示時間で液晶パネル13に表示する構成である。

【0047】また、4階調(2ビット)の表示データを表示する場合に、先ず、2ビットの表示データをメモリ3に記憶し、次いで、メモリ3に記憶された表示データ(2ビット)の低位ビット及び上位ビットの各データを、夫々フレームメモリ4の第1フレーム及び第2フレームに記憶し、そして、第2フレームを第1フレームの2倍の表示時間で液晶パネル13に表示する構成である。

【0048】即ち、m階調(nビット)の表示データを表示する場合に、先ずnビットの表示データをメモリ3に記憶し、次いで、メモリ3に記憶されたnビットの表示データについて夫々のビットデータを画素に対応してn個のフレームメモリに夫々記憶し、第mビットが表示されるフレームを、最下位ビット(Bit0)が表示されるフレームの2の(m-1)乗倍の表示時間で液晶表示パネル13に表示する構成である。

【0049】従って、フレームメモリの容量を低減することが可能となるとともに、フレームメモリへのデータ

の書込及び読出回数を低減することが可能となる。

【0050】尚、上記した実施の形態では、2ビット(4階調)や3ビット(8階調)の表示データを表示する例を示したが、本発明はこれに限られるものではなく、例えば、4ビット(16階調)や5ビット(32階調)の表示データを表示する場合にも適用可能である。

【0051】また、上記した実施の形態では、液晶としてSTN液晶を用いたが本発明はこれに限定されるものではなく、例えば、TN液晶を用いても良い。

【0052】また、上記した実施の形態では、白黒表示の例について説明したが、本発明はカラー表示についても適用可能であることは言うまでもない。

【0053】

【発明の効果】請求項1記載の液晶表示駆動回路によれば、nビットの表示データをメモリに記憶し、次いで、メモリ3に記憶されたnビットの表示データについて各ビットデータを画素に対応してn個のフレームメモリに夫々記憶し、第mビットが表示されるフレームを、最下位ビットが表示されるフレームの2の(m-1)乗倍の表示時間で液晶表示パネルに表示する構成である。従って、液晶表示駆動回路の記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減が可能となる。

【0054】また、請求項2記載の液晶表示駆動回路によれば、8階調を3ビットデータで表示する場合に、液晶表示駆動回路の記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減が可能となる。

【0055】また、請求項3記載の液晶表示駆動回路によれば、4階調を2ビットデータで表示する場合に、液晶表示駆動回路の記憶装置の記憶容量の低減とCPUの記憶装置へのデータのアクセス回数の削減が可能となる。

【図面の簡単な説明】

【図1】本実施の形態に係る液晶表示駆動回路の全体構成を示すブロック図。

【図2】従来の4階調表示を行う場合の各フレームの組み合わせ図。

【図3】本実施の形態における4階調表示を行う場合の各フレームの組み合わせ図。

【図4】従来の8階調表示を行う場合の各フレームの組み合わせ図。

【図5】本実施の形態で8階調表示を行う場合の各フレームの組み合わせ図。

【図6】図1の液晶表示駆動回路において、4階調(2ビット)の表示データを表示する場合のタイミング図。

【図7】図1の液晶駆動装置で8階調(3ビット)の表示データを表示する場合の各部の信号のタイミング図。

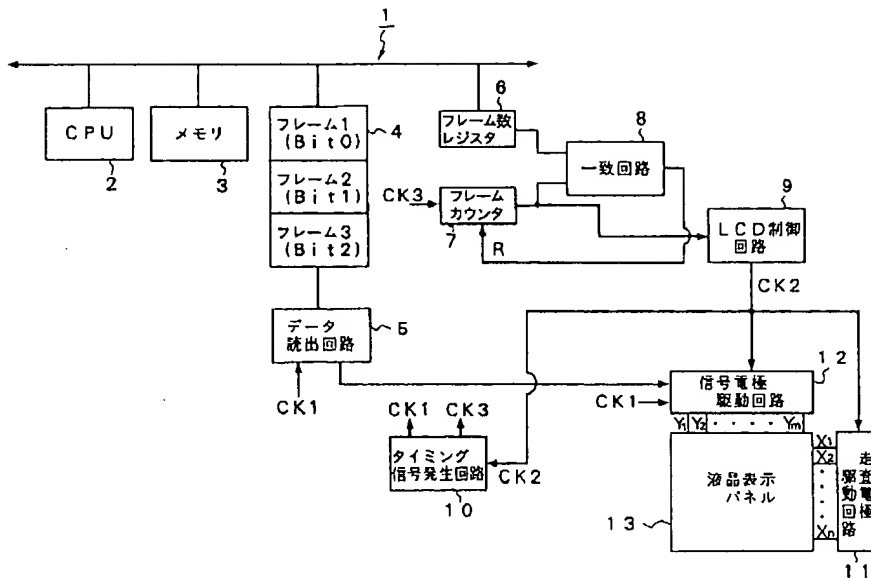
【符号の説明】

1 液晶表示駆動回路

- |   |           |    |             |
|---|-----------|----|-------------|
| 2 | CPU       | 8  | 一致回路        |
| 3 | メモリ       | 9  | LCD制御回路     |
| 4 | フレームメモリ   | 10 | タイミング信号発生回路 |
| 5 | データ読出回路   | 11 | 走査電極駆動回路    |
| 6 | フレーム数レジスタ | 12 | 信号電極駆動回路    |
| 7 | フレームカウンタ  | 13 | 液晶表示パネル     |

【図1】

【図2】



第3 フレーム Bit1	第2 フレーム Bit1	第1 フレーム Bit0	表示色	表示データ
0	0	0	白	00
0	0	1	白黒	01
1	1	0	黒白	10
1	1	1	黒	11

【図3】

【図4】

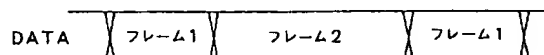
第2 フレーム Bit1	第1 フレーム Bit0	表示色	表示データ
0	0	白	00
0	1	白黒	01
1	0	黒白	10
1	1	黒	11

第7 フレーム Bit2	第6 フレーム Bit2	第5 フレーム Bit2	第4 フレーム Bit1	第3 フレーム Bit2	第2 フレーム Bit1	第1 フレーム Bit0	表示色	表示データ
0	0	0	0	0	0	0	白	000
0	0	0	0	0	0	1	白白白白黒	001
0	0	0	1	0	1	0	白白白白黒黒	010
0	0	0	1	0	1	1	白白白白黒黒黒	011
1	1	1	0	1	0	0	黒黒黒白白白	100
1	1	1	0	1	0	1	黒黒黒黒白白	101
1	1	1	1	1	1	0	黒黒黒黒黒白白	110
1	1	1	1	1	1	1	黒	111

【図5】

【図6】

第3 フレーム Bit2	第2 フレーム Bit1	第1 フレーム Bit0	表示色	表示データ
0	0	0	白	000
0	0	1	白白白白黒	001
0	1	0	白白白白黒黒	010
0	1	1	白白黒黒黒	011
1	0	0	黒黒黒白白白	100
1	0	1	黒黒黒黒白白	101
1	1	0	黒黒黒黒黒白白	110
1	1	1	黒	111





【図7】

